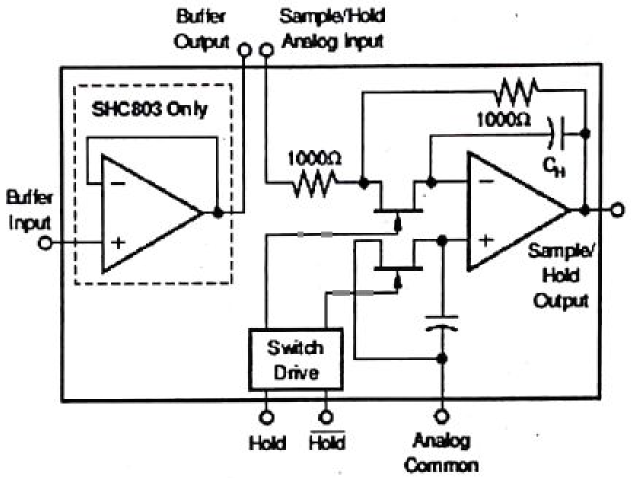
FUNDAMENTOS DE INSTRUMENTACIÓN ELECTRÓNICA

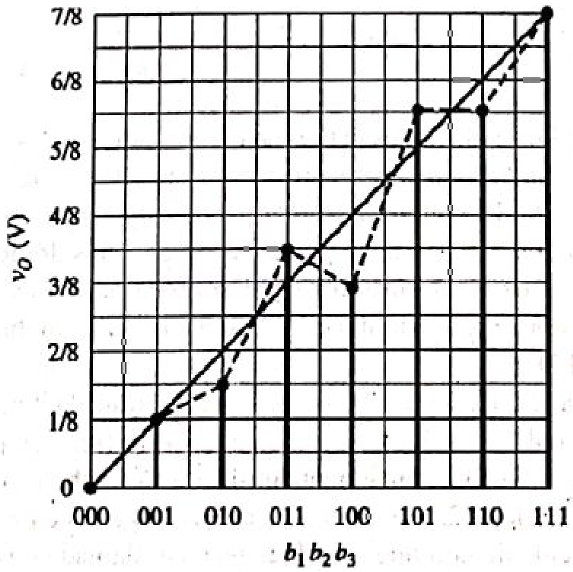
ADQUISICIÓN DE DATOS

1. El circuito mostrado en la figura corresponde al esquemático del circuito comercial SHC803/SCH804, un circuito de muestreo y retención. Haciendo uso de sus hojas de características, obtener:
    a. La ganancia en lazo abierto del segundo amplificador operacional (se asume que el primer amplificador operacional no se usa).
    b. El valor del condensador de retención C_H asumiendo que la respuesta en frecuencia está limitada por las resistencias que se muestran en la figura y por el condensador C_H.

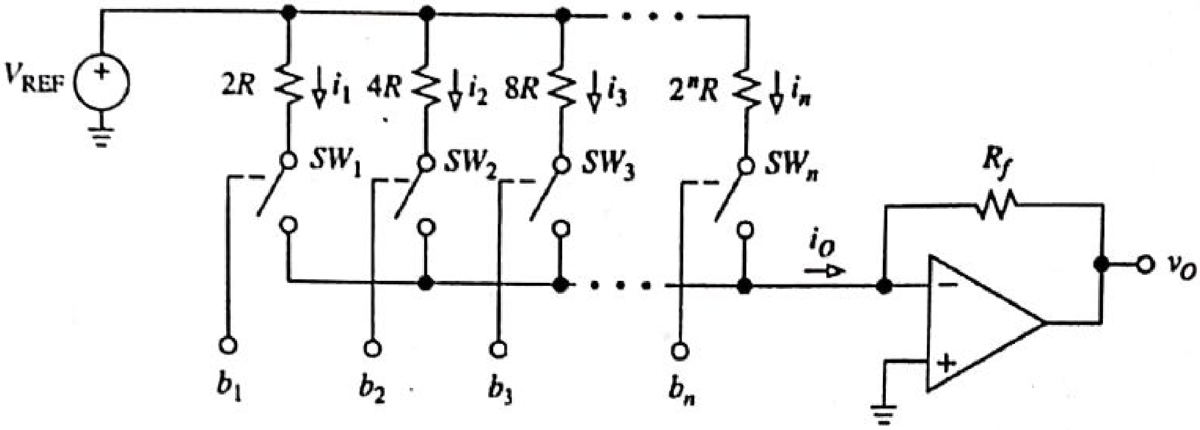
    Los transistores JFET del esquemático considerarlos como meros circuitos conmutadores (dos posiciones: abierto y cerrado) e ignorar el segundo condensador y el conmutador que está en paralelo con él. Asumir el pin no inversor del amplificador conectado a tierra. Usar las hojas de especificaciones eléctricas del circuito integrado para extraer los datos necesarios.



2. Encontrar los errores INL y DNL del DAC de la figura. ¿Qué otros errores presenta?



3. Un DAC de 6 bits del tipo mostrado en la figura (escalado de corrientes mediante escalado de resistencias) bien calibrado se realiza con V_{REF} = 1,600 V, pero con R_f = 0,99R en lugar de R_f = R y un amplificador operacional de baja calidad que tiene V_{OS} = 5 mV y Av = 200 v/v.
   a. Encontrar los errores de offset y de ganancia del DAC en fracciones de 1 LSB.
   b. ¿Cuál es el valor de la tensión de salida en el peor de los casos cuando todos los bits se establecen a '1'?
   c. ¿Qué errores de linealidad poseerá este conversor?

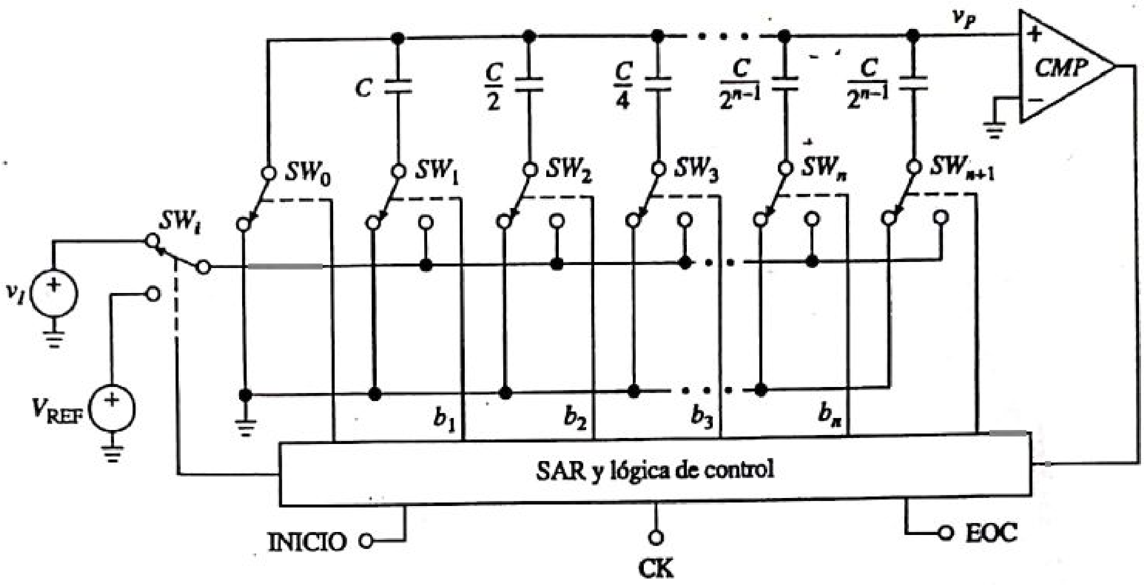


4. Un DAC de 4 bits del tipo mostrado en la figura del problema 3 (escalado de corrientes mediante escalado de resistencias) se realiza con V_{REF} = -3,200 V y un amplificador operacional de alta calidad, pero con valores de resistencias aproximados, es decir, R_f = 9,0 KΩ en lugar de 10 KΩ, 2R = 22 KΩ en lugar de 20 KΩ, 4R = 35 KΩ en lugar de 40 KΩ, 8R = 50 KΩ en lugar de 80 KΩ y 16R = 250 KΩ en lugar de 160 KΩ.
   a. Determinar el error de offset y de ganancia de este DAC. ¿Qué valor de R_f deberíamos poner para cancelar el error de ganancia?
   b. Determinar también los errores de linealidad diferencial e integral. ¿Qué otro tipo de error presenta este conversor?

5. Usualmente un ADC de aproximaciones sucesivas (SA) suele estar precedido por un circuito de muestreo y retención (SHA). Sin embargo, si la entrada posee una frecuencia lo suficientemente baja de forma que su valor cambie en menos de $\pm\frac{1}{2}LSB$ durante el ciclo de conversión, entonces el SHA no es necesario.

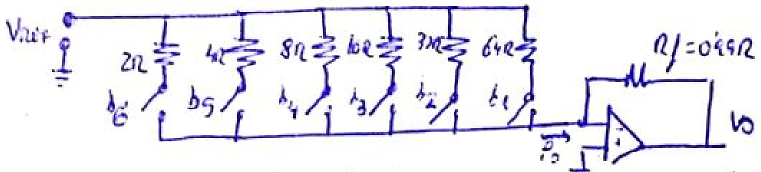
   a. Demostrar que una señal senoidal que cambie a fondo de escala se puede convertir sin tener que usar un SHA siempre y cuando su frecuencia esté por debajo de $f_{máx} = \frac{1}{2^n \pi t_{SAC}}$, donde t_{SAC} es el tiempo que el SA ADC requiere para hacer una conversión.
   b. Encontrar $f_{máx}$ para un SA ADC de 8 bits que opera a la velocidad de 10^6 conversiones por segundo. ¿Cómo cambia $f_{máx}$ si el SA ADC está precedido por un SHA ideal?

6. Considerar un ADC por redistribución de carga del tipo mostrado en la figura con $n = 4$, $V_{REF} = 3.0$ V y $C = 8$ pF. Suponiendo que en el nodo V_P tiene una capacidad parásita de 4 pF hacia la tierra, encontrar los valores intermedios en V_P durante todo el proceso de conversión de $V_I = 2{,}00$ V. ¿Qué código de salida se genera? ¿Cuál es el error de cuantificación cometido?



3 Un DAC de 6 bits do tipo amosado na figura (escalado de correntes mediante escalado de resistencias) ben calibrado realízase con $V_{REF} = 1'600 V$, pero con $R_f = 0'99R$ no canto de $R_f = R$ e un amplificador operacional de baixo calidade que ten $V_{OS} = 5mV$ e $A_V = 200 V/V$.

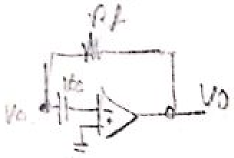
a. Atopa os erros de offset e de ganancia do DAC en fraccións de 1 LSB.
b. Calcula o valor da tensión de saída no peor dos casos cando todos os bits se establecen a "1"?
c. Que erros de linealidade posuirá este conversor?



Comezamos calculando V_{LSB}.

$$\boxed{V_{LSB} = \frac{V_{REF}}{2^6} = \frac{1'6}{64} = 0'025 V.}$$

Agora, o erro de offset será o que presente cando todos os bits son cero, é dicir, cando temos a seguinte configuración



$$\left.\begin{array}{l} V_A = V_{OS} + V(-) \\ V_O = A_d V_d = -A_d V(-) \\ V_A = V_{OS} + V(-) \\ V_A = V_O \end{array}\right\} \Rightarrow V_O = V_{OS} - \frac{V_O}{A_d} \Rightarrow V_O\left(1 + \frac{1}{A_d}\right) = V_{OS}$$

$$V_O = \frac{A_d}{A_d+1} V_{OS} = \frac{200}{200+1} V_{OS}.$$

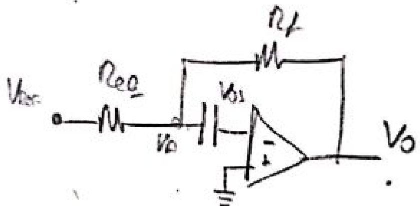
$$V_O = \frac{200}{200+1} \cdot 5 \cdot 10^{-3} \simeq \pm 5 \cdot 10^{-3} V.$$

$$\boxed{\varepsilon_{OS} = \frac{V_{000000}}{V_{LSB}} \simeq \pm \frac{1}{5} V_{LSB}}$$

Calculemos agora o erro de ganancia, o cal vén definido como

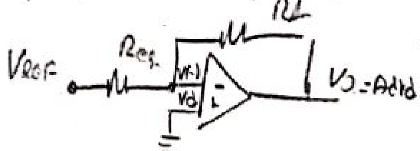
$$\varepsilon_G = \left(\frac{V_{111111}}{V_{LSB}} - \frac{V_{000000}}{V_{LSB}}\right) - \underbrace{(2^n - 1)}_{\frac{V_{111111}\,ideal}{V_{LSB}}}$$

A disposición para a saída V_{111111}:



$$\frac{1}{R_{eq}} = \frac{1}{R}\sum_{i=1}^{6} \frac{1}{2^i} \Rightarrow \boxed{R_{eq} = \frac{64}{63} R}$$

Apliquemos o principio de superposición:



$$V_d = V(+) - V(-) = -V(-)$$

$$\Rightarrow V_O = -A_d V(-) \Rightarrow V(-) = -\frac{V_O}{A_d}$$

$$\frac{V_{REF} - V(-)}{R_{eq}} = \frac{V(-) - V_O}{R_f} \Rightarrow \frac{V_{REF}}{R_{eq}} = -V_O\left[\frac{1}{R_f} + \frac{1}{A_d}\left(\frac{1}{R_{eq}} + \frac{1}{R_f}\right)\right]$$

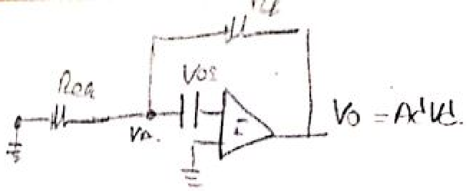
$$\Rightarrow V_O = -\frac{1}{R_{eq}} \frac{V_{REF}}{\frac{1}{R_f} + \frac{1}{A_d}\left(\frac{1}{R_{eq}} + \frac{1}{R_f}\right)} = \frac{-R_f/R_{eq}}{1 + \frac{1}{A_d\beta}} V_{REF}$$

onde $-R_f/R_{eq} = \boxed{A_{ideal}} = -\frac{0'99}{\frac{64}{63}} = \boxed{-0'975}$

$$\beta = \frac{R_{eq}}{R_f + R_{eq}} = 0'5064.$$

$$\boxed{V_O\big|_{V_{REF}} = -\frac{0'975}{1 + \frac{1}{200 \cdot 0'506}} V_{REF} = -1'545}$$

Calculemos agora a saída tendo en conta só a tensión de offset:



$V_d = V(+) - V(-) = -V(-)$

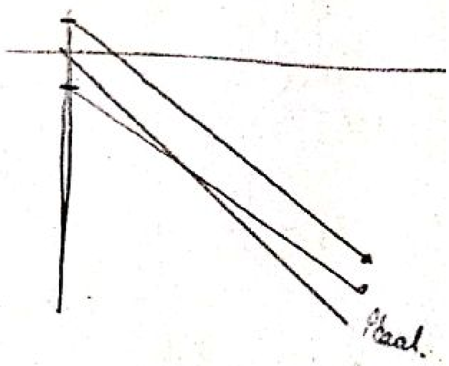
$V_A = V_{os} + V(-)$

$V_0 = A_d V_d = -A_d V(-) \Rightarrow V(-) = -\frac{V_0}{A_d}$

$$\frac{0 - V_A}{R_{eq}} = \frac{V_A - V_0}{R_f} \Rightarrow V_0 = R_f\left(\frac{1}{R_{eq}} + \frac{1}{R_f}\right) V_A = \left(1 + \frac{R_f}{R_{eq}}\right) V_A = \left(1 + \frac{R_f}{R_{eq}}\right)(V_{os} + V(-))$$

$$\Rightarrow V_0\left[1 + \frac{1}{A_d}\left(1 + \frac{R_f}{R_{eq}}\right)\right] = \left(1 + \frac{R_f}{R_{eq}}\right) V_{os}.$$

$$V_0\Big|_{V_{os}} = \frac{1 + R_f/R_{eq}}{1 + \frac{1}{A_d \beta}} V_{os} \quad \text{con } \beta = \frac{R_{eq}}{R_{eq} + R_f} = 0'5064.$$



$$\boxed{V_0\Big|_{os}} = \frac{1/\beta}{1 + \frac{1}{A_d \beta}} V_{os} = \frac{1/0'5064}{1 + \frac{1}{200 \cdot 0'5064}} \cdot 0'005 = \boxed{\pm 0'00978\ V.}$$

Así, $\boxed{V_{111111} = (-1'545 \pm 0'00978)\ V.}$

O erro de ganancia, polo tanto:

$$\boxed{\varepsilon_g = \left(\frac{-1'545}{0'025} \pm \frac{0'00978}{0'025} \mp \pm\frac{1}{5}\right) + (2^6 - 1) = -61'8 + 63 \pm 0'1912 = (1'2 \pm 0'1912)\ LSB.}$$

$\underset{\text{configuración inversora.}}{+}$

b). O valor da tensión de saída no peor dos casos dáse cando o offset contribúe afastando o valor V_0 do ideal.

No apartado anterior temos $V_{111111} = (-1'545 \pm 0'00978)\ V.$

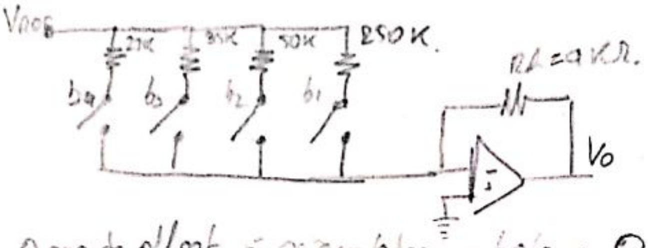
A voltaxe ideal é $\boxed{V_{111111}\Big|_{ideal} = \frac{V_{REF}}{2^6}\sum_{i=1}^{6} 2^i = -\frac{63}{64} V_{REF} = -1'575\ V.}$

O peor valor na saída será polo tanto $\Rightarrow \boxed{V_{111111} = -1'545 + 0'00978 = -1'53522\ V.}$

No mellor dos casos temos $V_{111111} = -1'545 - 0'00978 = 1'55478\ V.$

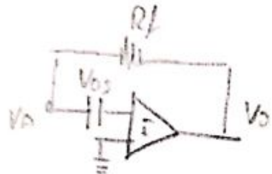
Como erros lineais posúe tanto de offset como de ganancia. Non lineais polo que non podemos saber xa que as resistencias poden estar escaladas en corrente.

4. Un DAC de 4 bits do tipo amosado na figura do problema 3 (escalado en correntes mediante escalado de resistencias) realízase con $V_{REF} = -3'200\,V$ e un amplificador operacional de alta calidade, pero cos valores das resistencias aproximados, é dicir, $R_f = 9\,K\Omega$ no canto de $10\,K\Omega$, $2R = 22\,K\Omega$ no canto de $20\,K\Omega$, $4R = 35\,K\Omega$ no canto de $40\,K\Omega$, $8R = 50\,K\Omega$ no canto de $80\,K\Omega$, e $16R = 250\,K\Omega$ no canto de $160\,\Omega$.
a. Determinar o erro de offset e de ganancia deste DAC. Que valor de R_f deberíamos pôr para cancelar o erro de ganancia?
b. Determinar tamén os erros de linealidade diferencial e integral. Que outro tipo de erro presenta este conversor?



Amplificador de alta calidade ≡ AOI

O erro de offset é para todos os bits a 0:



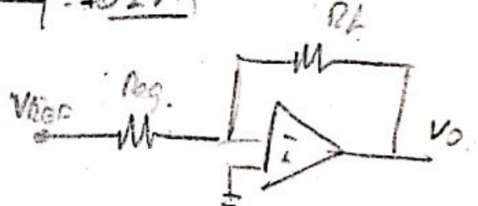
Como supoñemos AOI $\Rightarrow V(+) = V(-) = 0 \Rightarrow$ curtocircuito virtual $\Rightarrow \boxed{V_{os} = 0}$

$\Rightarrow \boxed{V_{O_{0000}} = 0.}$ $\Rightarrow$ Non hai erro de offset.

O erro de ganancia vén dado por $\quad E_g = \left(\frac{V_{1111}}{V_{LSB}} - \cancelto{0}{\frac{V_{O_{0000}}}{V_{LSB}}} \right) - (2^n - 1)$

$$\boxed{V_{LSB} = \left| \frac{V_{REF}}{2^4} \right| = \left| -\frac{3'200}{16} \right| = +0'2\,V.}$$

Calculemos V_{1111}:



$$\frac{1}{R_{eq}} = \frac{1}{R} \left[\frac{1}{22} + \frac{1}{35} + \frac{1}{50} + \frac{1}{250} \right] = \frac{1887}{19250} \cdot \frac{1}{R} \Rightarrow \boxed{R_{eq} = 10'20\,K\Omega.}$$

$$\frac{V_{REF} - 0}{R_{eq}} = \frac{0 - V_{O_{1111}}}{R_f} \Rightarrow \boxed{V_{1111} = -\frac{R_f}{R_{eq}} V_{REF} = -\frac{9}{10'20} \cdot (-3'200) = 2'823\,V}$$

O erro de ganancia:

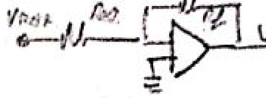
$$\boxed{E_g = \frac{2'823}{+0'2} - (2^4 - 1) = +14'1157 - 15 = -0'884\,LSB}$$

Para anular o erro de ganancia:

$$-\frac{3'2}{10'2 \cdot 0'2} R_f + 15 = 0 \Rightarrow \boxed{R_f = \frac{15 \cdot 10'2 \cdot 0'2}{3'2} = 9'5625\,K\Omega.}$$

Calculemos os erros de linealidade diferencial e integral. Para elo, antes temos que compensar os erros (neste caso só o de ganancia):

$$V_{O_{compensado}} = \frac{V_{O_i}}{V_{LSB}} - \cancelto{0}{E_{os}} - \frac{i}{2^n - 1} E_g = \frac{V_{O_i}}{V_{LSB}} - i \left(\frac{V_{1111}}{(2^n - 1) V_{LSB}} - 1 \right)$$

Para cada bit que activamos resolveremos o circuito  co $R_{eq} = (\parallel)$ o paralelo das resistencias involucradas, e logo consideramos que nos atopamos en configuración inversora, co que $V_o|_p = -\frac{R_f}{R_{eq}} V_{REF}$

$\boxed{V_{o001}} = -\frac{9}{250} V_{REF} = \boxed{0'1152\,V.}$ ($R_{eq} = 250\,k\Omega$) $\boxed{V_{o011}} = \frac{-9}{(50\parallel 250)} V_{REF} = \frac{9}{\frac{50\cdot 250}{50+250}} \cdot 3'2 = \boxed{0'6912\,V.}$

$\boxed{V_{o010}} = \frac{9}{50} \cdot 3'2 = \boxed{0'576\,V.}$ ($R_{eq} = 50\,k$) $\boxed{V_{o100} = -\frac{9}{35} V_{REF} = 0'823\,V.}$

$\boxed{V_{o101}} = \frac{-9}{(35\parallel 250)} V_{REF} = \frac{9\cdot(35+250)}{35\cdot 250} \cdot 3'2 = \boxed{0'938\,V}$ $\boxed{V_{o110}} = \frac{-9}{(35\parallel 50)} V_{REF} = \frac{9(35+50)}{35\cdot 50} 3'2 = \boxed{1'399\,V}$

$\boxed{V_{o111}} = -\frac{9}{(35\parallel 50\parallel 250)} V_{REF} = -9\cdot\frac{35\cdot 50+35\cdot 250+50\cdot 250}{35\cdot 50\cdot 250}\cdot(-3'2) = \boxed{1'514\,V}$ $\boxed{V_{1000}} = -\frac{9}{22}(-3'2) = \boxed{1'309}$

$\boxed{V_{1001}} = -\frac{9}{(22\parallel 250)} V_{REF} = 9\cdot 3'2\cdot\frac{22+250}{22\cdot 250} = \boxed{1'424\,V}$ $\boxed{V_{1010}} = -\frac{9}{(22\parallel 50)} V_{REF} = 9\cdot\frac{22+50}{22\cdot 50}\cdot 3'2 = \boxed{1'885\,V}$

$\boxed{V_{1011}} = -\frac{9}{(22\parallel 50\parallel 250)} V_{REF} = 9\cdot\frac{22\cdot 50+22\cdot 250+50\cdot 250}{22\cdot 50\cdot 250} 3'2 = \boxed{2'00\,V}$ $\boxed{V_{1100}} = \frac{-9}{(22\parallel 35)} V_{REF} = 9\cdot\frac{22+35}{22\cdot 35} 3'2 = \boxed{2'132\,V}$

$\boxed{V_{1101}} = -\frac{9}{(22\parallel 35\parallel 250)} V_{REF} = 9\cdot\frac{22\cdot 35+22\cdot 250+35\cdot 250}{22\cdot 35\cdot 250} 3'2 = \boxed{2'247}$ $\boxed{V_{1110}} = -\frac{9}{(22\parallel 35\parallel 50)} V_{REF} = \boxed{2'708\,V.}$

Así, $V_{REAL} = \{0, 0'1152, 0'576, 0'6912, 0'823, 0'938, 1'399, 1'514, 1'309, 1'424, 1'885, 2'00, 2'132, 2'247, 2'708, 2'823\}$

Dividindo entre V_{LSB}:

$V_{LSB} = \{0, 0'576, 2'88, 3'456, 4'115, 4'69, 6'995, 7'57, 6'545, 7'12, 9'425, 10, 10'66, 11'235, 13'54, 14'115\}$

e a valores compensada:

$V_{compensada} = \{0, 0'635, 2'998, 3'633, 4'351, 4'985, 7'349, 7'983, 7'017, 7'651, 10'016, 10'649, 11'368, 12'002, 14'366, 15\}$

Os erros de non linealidade diferencial (DNLE) e integral (INLE) defínese como:

$$DNLE(p) = \frac{(V_{o\,j+1} - V_{o\,j}) - V_{LSB}}{V_{LSB}} \qquad INLE(p) = \frac{1}{V_{LSB}} \sum_{i=0}^{p} [(V_{o\,i+1} - V_{o\,i}) - V_{LSB}]$$

Presentemos os datos nunha táboa para maior comodidade:

V_{REAL}	V_{REAL} (LSB)	$V_{COMPARADO}$ (LSB)	DNLE	INLE
0	0	0	-0'365	-0'365
0'1152	0'576	0'635	1'363	0'998
0'576	2'88	2'998	-0'365	0'633
0'6912	3'456	3'633	-0'282	0'351
0'823	4'115	4'351	-0'366	-0'015
0'938	4'69	4'985	1'364	1'349
1'399	6'995	7'349	-0'366	0'983
1'514	7'57	7'983	-1'966	-0'983
1'309	6'545	7'017	-0'366	-1'349
1'424	7'12	7'651	1'364	0'015
1'885	9'425	10'015	+0'366	-0'351
2'00	10	10'649	-0'281	-0'632
2'132	10'66	11'368	-0'366	-0'998
2'247	11'235	12'002	1'364	0'366
2'708	13'54	14'366	-0'366	|0| ← Está ben :) Fíxase sempre que dá 0.
2'823	14'115	15		

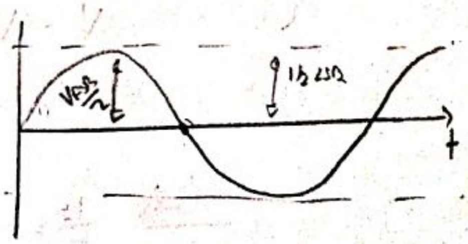
→ comportamento non monótono.

[5] Usualmente un ADC de aproximacións sucesivas (SA) adoita estar precedido por un circuíto de mostraxe e retención (SHA). Polo contrario, se a entrada posúe unha frecuencia o suficientemente baixa de xeito que o seu valor cambie en menos de $\pm\frac{1}{2}$ LSB durante o ciclo da conversión, entón o SHA non é necesario.

a. Demostrar que un sinal sinusoidal que cambie a fondo de escala poda converterse sen ter que empregar un SHA sempre e cando a súa frecuencia estea por debaixo de $f_{max} = \frac{1}{2^n \pi t_{SAC}}$, onde t_{SAC} é o tempo que o SA ADC require para facer unha conversión.

b. Atopar f_{max} para un SA ADC de 8 bits que opera á velocidade de 10^6 conversións por segundo. Como cambia f_{max} se o SA ADC está precedido por un SHA ideal?

Supoñamos un sinal sinusoidal de entrada da forma



$$V_i = \frac{V_{FSR}}{2}\,\mathrm{sen}(\omega t) = \frac{V_{FSR}}{2}\,\mathrm{sen}(2\pi f t)$$

A máxima velocidade de cambio do sinal vén dada por

$$\boxed{\left|\frac{dV_i(t)}{dt}\right|_{t=0} = \frac{V_{FSR}}{2}\,2\pi f\,\cos(2\pi f t)\Big|_0 = \frac{V_{FSR}}{2}\,2\pi f}$$

Agora ben, o erro de apertura do S/H defínese como $e_A = t_{SAC}\left|\frac{dV(t)}{dt}\right|$

Coa máxima velocidade de cambio, o intervalo que non debe superar para que non cambie de bit é 1LSB, é dicir,

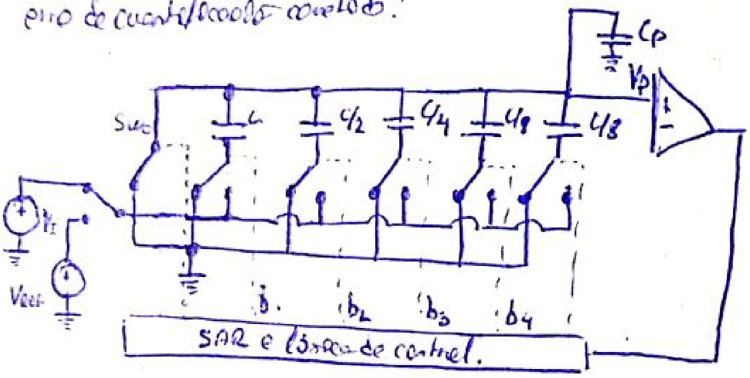
$$t_{SAC}\left|\frac{dV_i(t)}{dt}\right| \leq 1LSB \Rightarrow t_{SAC}\,\frac{V_{FSR}}{2}\,2\pi f \leq \frac{V_{FSR}}{2^n} \Rightarrow \boxed{f_{max} \leq \frac{1}{2^n \pi t_{SAC}}} \quad \text{q.e.d.}$$

b). f_{max}? $n=8$ $f_{SAC} = 10^6$ conversións/segundo. $\Rightarrow \boxed{t_{SAC} = \frac{1}{f} = 10^{-6} s.}$

$\Rightarrow f_{max} = \frac{1}{2^8 \cdot \pi \cdot 10^{-6}} = \boxed{1'243 \, KHz}$

Se precedemos o ADC por un S/H ideal, a frecuencia de conversión máxima, polo teorema de Shannon, debe ser $2f_m$, onde f_m é o ancho de banda do sinal. É decir, se queremos mostrear a $f_s = 1 MHz = 10^6 Hz$, a frecuencia máxima do sinal será $f_s = 2f_{max} \Rightarrow \boxed{f_{max} = 500 \, KHz}$.

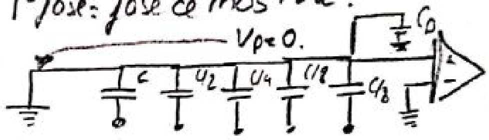
6. Considerar un ADC por redistribución de carga do tipo amosado na figura con $n=4$, $V_{ref} = 3'0$ V e $C = 8pF$. Supoñendo que no nodo V_p temos unha capacidade parasita de $4pF$ cara a terra, obter os valores intermedios en V_p durante todo o proceso de conversión de $V_i = 2'00$ V. Que código de saída xérase? Cal é o erro de cuantificación cometido?



Obteremos pois o código de saída $b_1b_2b_3b_4$.

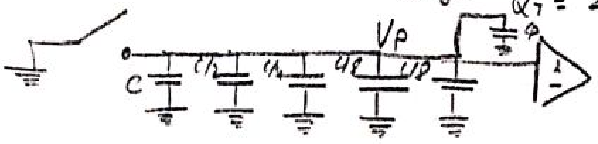
Comecemos con b_1:

1ª fase: fase de mostraxe:



Os condensadores nesta etapa almacenan unha parte de carga $Q_T = \sum C_i V_i = 2CV_i$

2ª fase: fase retención:



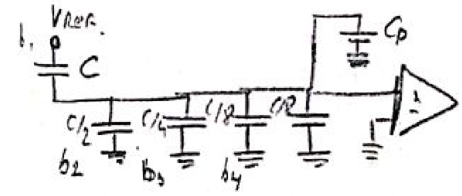
Ao abrir o circuito ocorre unha redistribución da carga

$Q_T = (2C+C_p)V_p$ mais como por conservación da carga, esta debe ser a mesma e que tiñamos previamente pero cambiada de signo por medirse en sentido contrario, establécese a seguinte ecuación e valor de V_p:

$$2CV_i = -(2C+C_p)V_p \Rightarrow \boxed{V_p = -\frac{2C}{2C+C_p}V_i}$$

Nesta parte retención obtemos $\boxed{V_{p_1} = -\frac{2\cdot 8}{2\cdot 8+4}V_i = -\frac{16}{20}\cdot 2 = -1'6 \, V.}$

3ª fase: Redistribución da carga: Conectamos b_1 a V_{ref} e o resto a terra e comparamos:

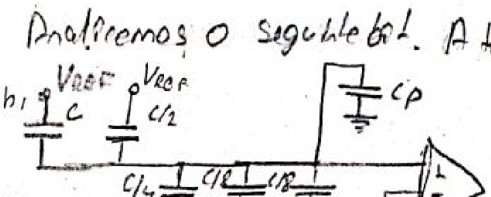


A tensión obtida neste caso será:

$$\boxed{V_{p_2} = \frac{C}{2C+C_p}V_{ref} + V_{p_1} = \frac{8}{20}\cdot 3 - 1'6 = -\frac{2}{5} < 0}$$

Como $V_{p_2} < 0 \Rightarrow \boxed{b_1 = 1} \Rightarrow \boxed{1b_2b_3b_4}$

Analicemos o seguinte bit. A tensión retida é $\boxed{V_{p_2} = -\frac{2}{5} = -0'4 V.}$

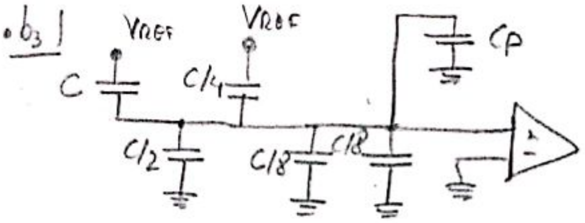


$$\boxed{V_{p_3} = \frac{0'5C}{2C+C_p}V_{ref} + V_{p_2} = \frac{4}{20}\cdot 3 - 0'4 = 0'2 > 0}$$

Como $V_{p_3} > 0 \Rightarrow \boxed{b_2 = 0} \Rightarrow \boxed{10b_3b_4} \Rightarrow$ Retemos V_{p_2}

Como $V_{p3}>0$ quere decir que a comparación foi sobreestimada e polo tanto desbotamos ese valor, co que ao poñer $b_2=0$ continuaremos retendo V_{p2}.

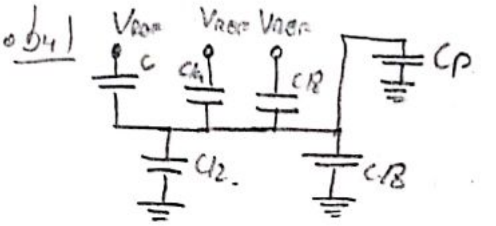
$\cdot b_3$ |



$$\boxed{V_{p4} = \frac{C/4}{2C+C_p} V_{REF} + V_{p2} = \frac{2}{20}\cdot 3 - 0'4 = -0'1<0}$$

Como $V_{p4}<0 \Rightarrow \boxed{b_3=1} \Rightarrow \boxed{101b_4} \Rightarrow$ Retemos V_{p4}.

$\cdot b_4$ |



$$\boxed{V_{p5} = \frac{C/8}{2C+C_p} V_{REF} + V_{p4} = \frac{1}{20}\cdot 3 - 0'1 = 0'05>0}$$

Como $V_{p5}>0 \Rightarrow \boxed{b_4=0} \Rightarrow \boxed{1010}$

O código xerado será 1010

Calculemos o erro de cuantificación. Se devolvemos a palabra 1010 cun DAC, a tensión recuperada sería:

$$\boxed{V_{recuperado} = \sum_i \frac{b_i}{2^i} V_{REF}} = \left(\frac{b_1}{2}+\frac{b_2}{4}+\frac{b_3}{8}+\frac{b_4}{16}\right)V_{REF} = \left(\frac{1}{2}+\frac{0}{4}+\frac{1}{8}+\frac{0}{16}\right)\cdot 3 = \boxed{1'875\,V}$$

O erro de cuantificación será pois $\boxed{\varepsilon_{cuantificación} = V_{recuperado} - V_{in} = 1'875-2 = -0'125\,V}$

Normalizando ao valor dun LSB $\Rightarrow N_{LSB} = \frac{V_{FSR}}{2^n} = \frac{V_{REF}}{2^n} = \frac{3}{16} = 0'1875\,V$.

$\Rightarrow \boxed{\varepsilon_{cuantificación}|_{LSB} = -\frac{0'125}{0'1875} = -\frac{2}{3}\,LSB}$ $\Rightarrow$ Observamos que non se distribúe entre $\pm 0'5LSB$, polo que non se trate dun cuantificador uniforme.

Para conseguir un cuantificador uniforme habería que meter na entrada, a maiores, $\frac{1}{2}LSB$ co gallo de desprazar todas as tensións $\frac{1}{2}LSB$.

Destacar que o efecto da C_p só provoca que varíen as V_{pi} relatadas, aínda que esta non estivese, co estes datos teríamos o mesmo código de saída.